

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 818 052

②1 N° d'enregistrement national : 01 15837

⑤1 Int Cl⁷ : H 03 L 7/08, H 03 D 3/02

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 07.12.01.

③0 Priorité : 09.12.00 GB 00030101.

④3 Date de mise à la disposition du public de la
demande : 14.06.02 Bulletin 02/24.

⑤6 Liste des documents cités dans le rapport de
recherche préliminaire : Ce dernier n'a pas été
établi à la date de publication de la demande.

⑥0 Références à d'autres documents nationaux
apparentés :

⑦1 Demandeur(s) : ZARLINK SEMICONDUCTOR INC. —
CA.

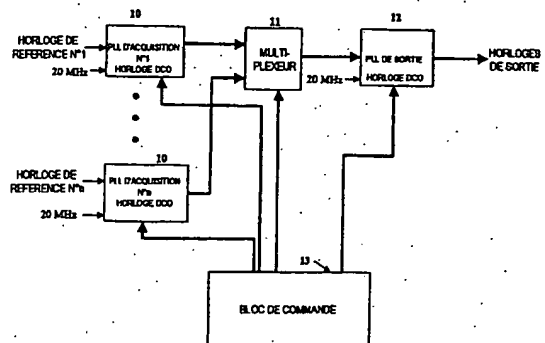
⑦2 Inventeur(s) : SKIERSZKAN SIMON J.

⑦3 Titulaire(s) :

⑦4 Mandataire(s) : CABINET BEAU DE LOMENIE.

⑤4 PROCÉDE ET DISPOSITIF DE RESTAURATION D'HORLOGE AVEC BOUCLE A VERROUILLAGE DE PHASE A
ENTREES MULTIPLES POUR COMMUTATION DE REFERENCE SANS A-COUPS.

⑤7 Procédé et dispositif pour restaurer des signaux d'horloge à partir de l'un de plusieurs signaux d'entrée, comprenant: une boucle à verrouillage de phase ou PLL d'acquisition (10) par entrée avec comparateur de phase pour comparer les phases du signal d'entrée et d'un signal de retour et des premier et second oscillateurs commandés numériques ou DCO dont le second comporte une entrée de commande pour introduire un déphasage par rapport au premier et applique une sortie pour la PLL; une PLL de sortie (12) avec comparateur de phase connectable sélectivement à la sortie de chaque PLL d'acquisition (10) et des premier et second DCO dont le second comporte une entrée de commande pour introduire un déphasage par rapport au premier; et une unité de commande (13) pour établir les phases des seconds DCO des PLL d'acquisition et de sortie (10, 12) à une valeur commune pendant une permutation des entrées pour éviter une erreur de phase.



DOMAINE DE L'INVENTION

La présente invention concerne de façon générale des circuits de cadencement numériques et de façon davantage particulière, une boucle à verrouillage de phase numérique permettant de restaurer un
5 signal d'horloge à partir d'un choix de signaux d'entrée soumis à une instabilité ou gigue.

DESCRIPTION DE L'ART ANTÉRIEUR

Dans les applications de réseau numérique, il y a une exigence pour fournir une référence de cadencement pour les circuits d'interface
10 SONET (réseau optique synchrone) OC-N et STS-N et pour les liaisons de transmission numérique de fréquences primaires T1 ou E1. Ces signaux de cadencement doivent satisfaire des standards pertinents tels que les recommandations BELLCORE GR-1244-CORE & GR-253-CORE pour les horloges STRATUM 3E, 3 & 4E ainsi que
15 pour l'horloge minimum SONET (SMC). Ces spécifications imposent des exigences strictes sur les caractéristiques de transfert entre les références d'entrée et les horloges de sortie générées et en particulier, ces spécifications spécifient des limitations au niveau des perturbations de phase qui peuvent être générées au niveau
20 d'horloges de sortie en tant que résultat d'une commutation entre des références d'entrée.

Le procédé consistant à fournir de tels signaux de cadencement consiste à utiliser une boucle à verrouillage de phase. Typiquement, celle-ci est constituée par un détecteur de phase qui
25 compare le signal de référence d'entrée à la sortie de la boucle divisée par un facteur approprié, par un filtre en boucle pour éliminer des fluctuations de fréquence et par un oscillateur commandé dont la fréquence est commandée de manière à éliminer la différence de phase détectée par le détecteur de phase.

30 Le brevet des Etats-Unis n° 5 602 884 décrit une boucle à verrouillage de phase ou PLL qui utilise une combinaison d'un oscillateur commandé numérique ou DCO qui est cadencé au moyen d'une horloge à 20 MHz et d'une ligne de retard à connexions intermédiaires. Puisque le DCO commande directement la ligne de
35 retard à connexions intermédiaires, une précision exempte de gigue

peut être maintenue jusqu'à une fraction d'un cycle d'horloge. La fraction est limitée par le temps de retard de chaque connexion intermédiaire de la ligne de retard à connexions intermédiaires.

L'approche classique pour minimiser des perturbations de phase au niveau des horloges de sortie comme décrit dans ce brevet est comme suit : au lieu de connecter le comparateur de phase directement à la référence d'entrée active, un circuit intermédiaire est connecté entre la référence d'entrée et le comparateur de phase. Ce circuit intermédiaire contient un compteur/décompteur qui est cadencé par une horloge relativement haute vitesse qui est synchrone par rapport aux horloges de sortie générées. La sortie de ce compteur produit une référence virtuelle qui arrive ensuite sur le comparateur de phase. Suite à l'activation d'un réagencement de référence, la séquence qui suit d'évènements se produit. La PLL est placée dans un mode maintien. La différence de phase entre l'horloge de sortie et l'horloge de référence assignée est étalonnée en comptant des cycles d'horloge haute vitesse. Cette valeur est ensuite soustraite du compteur lors de la production de l'horloge de référence de sortie virtuelle. La PLL est ensuite sortie de l'état de maintien et elle est alignée sur la référence virtuelle nouvellement conditionnée. De cette manière, des décalages de phase ou déphasages entre les horloges de référence peuvent être annulés.

L'inconvénient fondamental de cette approche réside dans le fait que la résolution de l'annulation de la phase est proportionnelle à la fréquence qui est appliquée sur le compteur. Le circuit peut toujours générer une excursion de phase au niveau des horloges de sortie jusqu'à une dimension égale à la période de l'horloge haute vitesse. La dimension maximum de l'excursion de phase peut seulement être réduite en augmentant la vitesse de l'horloge haute vitesse, la dimension du compteur d'annulation de phase et par conséquent le nombre de portes qui sont requises ainsi que la consommation de puissance ou d'énergie du circuit.

Un objet de l'invention consiste à proposer une boucle à verrouillage de phase avec un mécanisme de commutation de référence qui allège les problèmes mentionnés ci-avant rencontrés

avec l'art antérieur.

RÉSUMÉ DE L'INVENTION

Par conséquent, la présente invention propose un circuit de restauration d'horloge permettant de restaurer des signaux d'horloge à partir de l'un d'une pluralité de signaux de référence d'entrée, comprenant une boucle à verrouillage de phase ou PLL d'acquisition pour chaque entrée, chaque dite PLL d'acquisition comportant un comparateur de phase pour comparer la phase d'un signal d'entrée à un signal de retour, et des premier et second oscillateurs commandés numériques ou DCO qui reçoivent une entrée en provenance dudit comparateur de phase, ledit premier DCO de ladite PLL d'acquisition étant dans une boucle de retour afin d'appliquer une entrée sur ledit comparateurs de phase et ledit second DCO de ladite PLL d'acquisition comportant une entrée de commande afin d'introduire un décalage de phase dedans par rapport audit premier DCO de ladite PLL d'acquisition et appliquant une sortie pour ladite PLL d'acquisition ; une PLL de sortie comportant un comparateur de phase qui peut être connecté de façon sélective à la sortie de chacune desdites PLL d'acquisition, ladite PLL de sortie comprenant un premier DCO qui applique une sortie pour ledit circuit et un second DCO dans une boucle de retour qui applique un signal de retour sur ledit comparateur de phase de ladite PLL de sortie, ledit second DCO de ladite PLL de sortie comportant une entrée de commande pour introduire un décalage de phase dedans par rapport audit premier DCO de ladite PLL de sortie ; et une unité de commande pour établir la phase du second DCO dudit circuit d'acquisition et du second DCO de ladite PLL de sortie à une valeur commune pendant une permutation depuis une entrée sur une autre entrée afin d'éviter une erreur de phase instantanée suite à une commutation des signaux de référence.

Les DCO sont de préférence des multiplicateurs de fréquence d'addition dont l'un génère un signal de sortie suite à l'atteinte d'une condition de débordement, le reste générant un signal d'erreur temporelle, et dont l'autre présente une phase établissable.

La boucle de retour inclut de préférence une ligne de retard à connexions intermédiaires afin de réduire la gigue.

Puisque chaque PLL comporte deux DCO dont seulement un est dans la boucle de retour, pendant une permutation de signaux d'entrée, il est possible d'éliminer l'erreur de phase entre les DCO établissables et par conséquent d'empêcher que des sauts de phase
5 ne se produisent lors d'un changement d'entrée.

L'invention propose également un procédé permettant de restaurer un signal d'horloge à partir de l'un d'une pluralité de signaux de référence d'entrée, comprenant les étapes de fourniture d'une
10 boucle à verrouillage de phase ou PLL d'acquisition pour chaque entrée, chaque dite PLL d'acquisition incluant des premier et second oscillateur commandés numériques ou DCO ; suivi d'un signal d'entrée de référence à l'aide desdits premier et second DCO, ledit premier DCO étant dans une boucle de retour de ladite PLL d'acquisition et ledit second DCO appliquant une sortie de ladite boucle à verrouillage
15 de phase d'acquisition ; fourniture d'une PLL de sortie qui peut être connectée de façon sélective auxdites PLL d'acquisition, ladite PLL de sortie incluant des premier et second DCO ; suivi de ladite sortie desdites PLL d'acquisition à l'aide desdits premier et second DCO de ladite PLL de sortie, ledit premier DCO de ladite PLL de sortie
20 appliquant un signal d'horloge restauré et ledit second DCO de ladite PLL de sortie étant dans une boucle de retour de ladite PLL de sortie ; et établissement de la phase dudit second DCO de ladite PLL d'acquisition et de ladite PLL de sortie à une valeur commune pendant une permutation sur une autre entrée de référence.

25 BRÈVE DESCRIPTION DES DESSINS

L'invention sera maintenant décrite de manière davantage détaillée, à titre d'exemple seulement, par report aux dessins annexés parmi lesquels :

la figure 1 est un schéma fonctionnel d'une boucle à
30 verrouillage de phase de l'art antérieur ;

la figure 2 est un schéma fonctionnel de l'architecture globale d'une boucle à verrouillage de phase conformément à un mode de réalisation de l'invention ;

la figure 3 est un schéma fonctionnel d'une boucle à
35 verrouillage de phase d'acquisition ;

la figure 4 est un schéma fonctionnel d'une boucle à verrouillage de phase de sortie ; et

la figure 5 est une vue davantage détaillée d'un oscillateur commandé numérique utilisé dans le circuit de l'invention.

5 DESCRIPTION DÉTAILLÉE DES MODES DE RÉALISATION PRÉFÉRÉS

La boucle à verrouillage de phase de l'art antérieur qui est représentée sur la figure 1 comprend un multiplexeur 1 qui effectue une sélection entre deux horloges de référence d'entrée possibles, soit
10 "pri" et "sec", un compteur 2 qui étalonne et annule la différence de phase entre les deux horloges suite à une commutation de référence, un détecteur de phase 3 qui reçoit un signal de référence, un intégrateur 4, un oscillateur commandé numérique 5 pour générer un signal de sortie à une fréquence souhaitée et un signal de commande
15 représentant l'erreur temporelle dans le signal de sortie, une ligne de retard à connexions intermédiaires 6 pour recevoir le signal de sortie de l'oscillateur commandé numérique 5, la ligne de retard à connexions intermédiaires 6 produisant un signal de sortie à partir d'une connexion intermédiaire déterminée au moyen dudit signal de
20 commande, et un circuit de diviseur 7 qui génère un signal de retour pour la seconde entrée du détecteur de phase 3 et une horloge haute vitesse synchrone sur le compteur d'annulation de phase 2. La fonction de l'intégrateur 4 consiste à éliminer des variations de phase "entrée à sortie" qui devraient sinon se produire du fait des différences au niveau
25 de la fréquence centrale d'horloge de référence et de la fréquence de roue libre d'oscillateur commandé. Le détecteur de phase 3 assure que l'oscillateur commandé numérique 5 génère une sortie en synchronisation avec le signal d'entrée.

Une telle boucle à verrouillage de phase de l'art antérieur
30 comporte un moyen limité pour annuler la différence de phase entre les horloges de référence d'entrée. La perturbation de phase minimum que le circuit peut garantir est la période de l'horloge haute vitesse qui est appliquée sur le compteur d'annulation de phase.

Par report maintenant à la figure 2, la boucle à verrouillage de
35 phase conformément aux principes de l'invention comprend une

pluralité de boucles à verrouillage de phase numériques d'acquisition 10 qui sont liées à chacune des références d'entrée, un multiplexeur 11 avec une sortie d'une horloge numérisée avec une information de phase et une information de commande en provenance de la boucle à verrouillage de phase d'acquisition sélectionnée 10, et une boucle à verrouillage de phase de sortie 12 qui verrouille le signal provenant du multiplexeur 11. La boucle à verrouillage de phase de sortie 12 génère des horloges stables en tant que sortie du circuit. Un bloc de commande 13, typiquement un microcontrôleur, commande le fonctionnement du dispositif.

Une horloge d'entrée à 20 MHz est utilisée en tant qu'horloge maître qui pilote tous les oscillateurs commandés numériques (DCO) dans les PLL d'acquisition 10 de même que dans la PLL de sortie 12. Les horloges de sortie générées ont leurs giques qui sont réduites au moyen d'une ligne de retard à connexions intermédiaires qui utilise le terme de reste de phase dans le DCO comme décrit dans notre demande de brevet connexe GB0013059.1 déposée le 31 mai 2000 et intitulée "Reduced Jitter Phase Locked Loop Using a Technique Multi-Stage Digital Delay Line" qui utilise une technique par "ligne de retard numérique multi-étage".

La figure 3 représente la PLL d'acquisition 10 de manière davantage détaillée. Le comparateur de phase 21 est un compteur/décompteur 22 qui compte des glissements de cycle entre l'horloge de référence et l'horloge de sortie de PLL d'acquisition. Un calcul davantage précis du décalage de phase est réalisé en intégrant et en décimant la sortie du compteur de glissement de cycle à l'aide d'un décimateur 23. La sortie du comparateur de phase est intégrée à l'aide d'un accumulateur 25. La sortie du comparateur de phase 21 est additionnée à la sortie de l'accumulateur 25 dans un additionneur 24. La sortie de l'additionneur 24 est ensuite additionnée à une constante P_a dans une paire d'additionneurs 29 qui sont connectés aux DCO respectifs 28. La sortie des additionneurs 29 joue le rôle d'information de commande qui accélère ou ralentit (dans le cas d'un nombre négatif) les horloges de sortie générées.

Comme représenté sur la figure 5, chaque DCO 28 comprend

un multiplicateur de fréquence d'addition qui génère la fréquence de sortie souhaitée. Dans le cas présent, une horloge nominale à 16,384 MHz est synthétisée. Un mot d'entrée (DCO IN) est appliqué sur un additionneur 40 et est accumulé dans un registre 41. Chaque DCO 28
5 est cadencé par le signal maître à 20 MHz en provenance d'une broche externe. Du fait que le mot d'entrée DCO IN est additionné de façon répétée à la valeur initiale de l'additionneur 40, l'additionneur est périodiquement en débordement et les signaux de report résultants constituent le signal de sortie du DCO. S'il y a un terme de reste à
10 l'instant du débordement, celui-ci apparaît dans le registre 41 et représente l'erreur de phase de la sortie de report de DCO. Ce terme de reste est utilisé pour commander les lignes de retard à connexions intermédiaires multi-étages afin de générer une horloge de sortie de gigue faible. Le DCO est également étendu au-delà de la sortie de report.
15 La sortie de report valide un compteur qui réalise un comptage d'une unité à chaque sortie de report. Ces bits supplémentaires comptent de manière efficace ou efficiente des cycles de l'horloge de sortie nominale générée à 16,384 MHz. Ces termes supplémentaires sont utilisés lors de la synthèse d'horloges afférentes telles que
20 l'horloge de sortie générée à 12,352 MHz.

La fréquence virtuelle de la sortie de report de la fréquence maître du DCO est l'horloge maître $\times P/Q$ où P est la constante additionnée dans les additionneurs 29 et Q est la capacité du registre de DCO 41. Dans l'exemple, l'horloge maître est à 20 MHz.

25 Un DCO 28, soit DCO_1 , est utilisé pour synthétiser une horloge de sortie qui est appliquée en retour sur le comparateur de phase 21 par l'intermédiaire de la ligne de retard à connexions intermédiaires 27 et du diviseur 26. Le système effectue en permanence une recherche afin d'aligner cette horloge de sortie virtuelle de DCO sur la phase sur
30 l'horloge d'entrée.

Le second DCO 28, soit DCO_2 , est identique au premier DCO à ceci près que sa valeur accumulée - le terme de reste plus la sortie de report plus les bits d'extension de cycle - peut être établie par le contrôleur 13. Du fait que le second DCO présente la même fréquence
35 de fonctionnement en roue libre que celle du premier DCO comme

déterminé par la capacité des DCO, par la fréquence d'horloge maître (20 MHz) et par la constante additionnée P, et du fait que le second DCO additionne le même terme d'erreur que le premier DCO, le second DCO produit une horloge virtuelle à 16,384 MHz qui est
5 identique du point de vue de la fréquence et des décalages de fréquence à celle du premier DCO. Le fait que le second DCO puisse être établi signifie que la seule différence entre les horloges générées à 16,384 MHz réside dans le fait qu'il peut y avoir un décalage de phase statique arbitraire entre les deux horloges. Ceci est important du
10 fait qu'une horloge générée doit aligner en continu sa phase sur l'horloge de référence d'entrée et sur une horloge synthétisée dont la phase peut être établie de façon arbitraire.

La figure 4 représente la PLL de sortie de manière davantage détaillée. Elle est essentiellement constituée par un comparateur de
15 phase 30, par un intégrateur 31, par un DCO, soit le DCO₁ 34, qui est utilisé pour générer les horloges de sortie et par un second DCO, soit le DCO₂ 33, qui génère une horloge virtuelle à 16,384 MHz selon un format numérisé comme cadencé en sortie par l'horloge maître à 20 MHz. Comme dans le cas de la PLL d'acquisition, les deux DCO, soit
20 DCO₁ et DCO₂, présentent la même information d'erreur en tant qu'entrée. Le DCO₂ est établissable sous la commande effectuée par l'unité de commande. Le comparateur de phase 30 est un soustracteur qui soustrait le terme de reste plus la sortie de report plus les bits d'extension de cycle du DCO₂ 33 de la PLL de sortie du terme de reste
25 plus la sortie de report plus les bits d'extension de cycle du DCO₂ de la PLL d'acquisition. L'intégrateur 31 est un accumulateur qui additionne le résultat en provenance du comparateur de phase sur lui-même, d'où ainsi une acquisition effective ou efficiente de la fréquence centrale de la PLL de sortie selon la fréquence centrale acquise de la PLL
30 d'acquisition.

Le DCO₁ 34 applique un signal de sortie sur la ligne de retard à connexions intermédiaires 35 et sur le diviseur 36 afin de réduire la gigue et applique la sortie pour le circuit.

Lors d'un fonctionnement normal, toutes les PLL d'acquisition
35 réalisent une acquisition en ce qui concerne leurs horloges de

référence d'entrée respectives. La PLL de sortie 12 est liée à une PLL d'acquisition 10. Elle réalise un verrouillage sur la sortie de la PLL d'acquisition et elle génère des horloges de sortie stables. La PLL de sortie se règle elle-même de telle sorte que les valeurs dans le DCO₂ de la PLL de sortie tendent à correspondre aux valeurs qui prennent leur origine depuis le DCO₂ du DCO₂ d'acquisition.

Suite à un réagencement de référence (une sélection d'une nouvelle horloge de référence d'entrée qui a pour effet de lier une nouvelle PLL d'acquisition sur la PLL de sortie), la valeur dans le DCO₂ de la PLL de sortie tendra ensuite à correspondre aux valeurs en provenance du DCO₂ de la PLL d'acquisition nouvellement liée. Puisque ces valeurs sont non corrélées avec les valeurs en provenance du DCO₂ de la première PLL d'acquisition, un changement simple de signaux entre les première et seconde PLL d'acquisition devrait conduire au fait qu'un décalage de phase ou déphasage arbitraire est introduit entre le DCO₂ de sortie et le DCO₂ d'acquisition. Ce décalage de phase ou déphasage devra apparaître en tant que terme d'erreur en provenance du comparateur de phase et la PLL de sortie devrait réaliser un réglage par rapport à cette erreur de phase en introduisant une excursion de phase au niveau des horloges de sortie, laquelle excursion est égale au décalage de phase ou déphasage initial contenu dans la différence entre le DCO₂ de la PLL d'acquisition et le DCO₂ de la PLL de sortie. C'est à ce niveau que l'avantage constitué par la fourniture de doubles établissables de DCO prend toute sa valeur. A l'instant du réagencement de référence, les deux DCO₂ - celui de la PLL d'acquisition et celui de la PLL de sortie - sont établis à une valeur commune. La PLL d'acquisition n'est pas perturbée du fait que son DCO₂ n'est pas dans sa boucle de retour. L'erreur de phase instantanée lors d'un réagencement de référence devient égale à zéro lorsque la différence (DCO_{2acq} - DCO_{2out}) ou (DCO₂ d'acquisition - DCO₂ de sortie) est égale à zéro.

Bien que l'invention ait été décrite par report au mode de réalisation présentement préféré, la présente description n'est pas à considérer dans un sens limitatif. Diverses modifications du mode de réalisation décrit apparaîtront à l'homme de l'art suite à une référence

à la description de l'invention. Il est par conséquent à considérer que les revendications annexées couvrent n'importe quelle modification ou n'importe quel mode de réalisation qui tombe dans le cadre vrai de l'invention.

REVENDECATIONS

1. Circuit de restauration d'horloge pour restaurer des signaux d'horloge à partir de l'un d'une pluralité de signaux de référence d'entrée, caractérisé en ce qu'il comprend :

- une boucle à verrouillage de phase ou PLL d'acquisition (10)
5 pour chaque entrée, chaque dite PLL d'acquisition comportant un comparateur de phase (21) pour comparer la phase d'un signal d'entrée à un signal de retour, et des premier et second oscillateurs commandés numériques ou DCO (28) qui reçoivent une entrée en provenance dudit comparateur de phase (21), ledit premier DCO (28)
10 de ladite PLL d'acquisition (10) étant dans une boucle de retour afin d'appliquer une entrée sur ledit comparateurs de phase (21) et ledit second DCO (28) de ladite PLL d'acquisition (10) comportant une entrée de commande afin d'introduire un décalage de phase dedans par rapport audit premier DCO (28) de ladite PLL d'acquisition (10) et
15 appliquant une sortie pour ladite PLL d'acquisition (10) ;

- une PLL de sortie (12) comportant un comparateur de phase (30) qui peut être connecté de façon sélective à la sortie de chacune desdites PLL d'acquisition (10), ladite PLL de sortie (12) comprenant un premier DCO (34) qui applique une sortie pour ledit circuit et un
20 second DCO (33) dans une boucle de retour qui applique un signal de retour sur ledit comparateur de phase (30) de ladite PLL de sortie (12), ledit second DCO (33) de ladite PLL de sortie (12) comportant une entrée de commande pour introduire un décalage de phase dedans par rapport audit premier DCO (34) de ladite PLL de sortie (12) ; et

- 25 une unité de commande (13) pour établir la phase du second DCO (28) dudit circuit d'acquisition et du second DCO (33) de ladite PLL de sortie (12) à une valeur commune pendant une permutation depuis une entrée sur une autre entrée afin d'éviter une erreur de phase instantanée suite à une commutation des signaux de référence.

- 30 2. Circuit de restauration d'horloge selon la revendication 1, caractérisé en ce qu'il comprend en outre une ligne de retour à

connexions intermédiaires (27) dans la boucle de retour de ladite PLL d'acquisition (10) afin de produire une sortie de gigue faible.

3. Circuit de restauration d'horloge selon la revendication 1 ou 2, caractérisé en ce que le comparateur de phase (21) comprend
5 un compteur de glissement de cycle (22) et un décimateur (23) pour décimer la sortie du compteur de glissement de cycle (22).

4. Circuit de restauration d'horloge selon l'une quelconque des revendications 1 à 3, caractérisé en ce qu'il comprend en outre un
10 intégrateur/accumulateur (25) pour intégrer la sortie du comparateur de phase (21).

5. Circuit de restauration d'horloge selon la revendication 4, caractérisé en qu'il comprend en outre un premier additionneur (24) pour additionner la sortie dudit intégrateur/accumulateur (25) à la sortie
dudit comparateur de phase (21).

15 6. Circuit de restauration d'horloge selon la revendication 5, caractérisé en ce qu'il comprend en outre des additionneurs additionnels respectifs (29) pour additionner des constantes (Pa) à la sortie dudit premier additionneur (24), lesdits additionneurs additionnels (29) étant connectés aux entrées respectives desdits
20 premier et second DCO (28) de ladite PLL d'acquisition (10).

7. Circuit de restauration d'horloge selon l'une quelconque des revendications 1 à 6, caractérisé en ce que lesdits DCO (28) incluent des bits supplémentaires qui comptent les cycles de l'horloge de sortie générée.

25 8. Circuit de restauration d'horloge selon l'une quelconque des revendications 1 à 7, caractérisé en ce qu'il comprend en outre un intégrateur/accumulateur (31) pour intégrer la sortie dudit comparateur de phase (30) de ladite PLL de sortie (12) et un premier additionneur (32) pour additionner la sortie dudit intégrateur/accumulateur (31) à la
30 sortie dudit comparateur de phase (30) de ladite PLL de sortie (12).

9. Circuit de restauration d'horloge selon la revendication 8, caractérisé en ce qu'il comprend en outre des additionneurs additionnels pour additionner une constante (Pb) à la sortie dudit premier additionneur (32), lesdits additionneurs additionnels étant
35 connectés aux entrées des DCO (33, 34) de ladite PLL de sortie (12).

10. Circuit de restauration d'horloge selon l'une quelconque des revendications 1 à 9, caractérisé en ce que lesdits oscillateurs commandés numériques (28) desdites PLL d'acquisition (10) sont des multiplicateurs de fréquence du type addition dont l'un génère un
5 signal de sortie lorsqu'il atteint une condition de débordement et un terme de reste qui génère un signal de commande représentant l'erreur temporelle dans chaque signal de sortie.

11. Circuit de restauration d'horloge selon l'une quelconque des revendications 1 à 10, caractérisé en ce que ladite sortie dudit
10 premier DCO (34) de ladite PLL de sortie (12) est connectée à une ligne de retard à connexions intermédiaires (35) afin de réduire une gigue.

12. Procédé de restauration d'un signal d'horloge à partir de l'un d'une pluralité de signaux de référence d'entrée, caractérisé en ce
15 qu'il comprend les étapes de :

fourniture d'une boucle à verrouillage de phase ou PLL d'acquisition (10) pour chaque entrée, chaque dite PLL d'acquisition incluant des premier et second oscillateur commandés numériques ou DCO (28) ;

20 suivi d'un signal d'entrée de référence à l'aide desdits premier et second DCO (28), ledit premier DCO étant dans une boucle de retour de ladite PLL d'acquisition (10) et ledit second DCO appliquant une sortie de ladite boucle à verrouillage de phase d'acquisition ;

fourniture d'une PLL de sortie (12) qui peut être connectée de
25 façon sélective auxdites PLL d'acquisition (10), ladite PLL de sortie incluant des premier et second DCO (33, 34) ;

suivi de ladite sortie desdites PLL d'acquisition (10) à l'aide desdits premier et second DCO (33, 34) de ladite PLL de sortie (12), ledit premier DCO (34) de ladite PLL de sortie (12) appliquant un signal
30 d'horloge restauré et ledit second DCO (33) de ladite PLL de sortie étant dans une boucle de retour de ladite PLL de sortie (12) ; et

établissement de la phase dudit second DCO de ladite PLL d'acquisition (10) et de ladite PLL de sortie (12) à une valeur commune pendant une permutation sur une autre entrée de référence.

35 13. Procédé selon la revendication 12, caractérisé en ce que

la gigue dans ladite boucle à verrouillage de phase d'acquisition (10) est réduite à l'aide d'une ligne de retard à connexions intermédiaires (27).

5 14. Procédé selon la revendication 12 ou 13, caractérisé en ce que lesdits DCO comportent des bits d'extension qui comptent les cycles de sortie de l'horloge qui est générée par le DCO.

10 15. Procédé selon l'une quelconque des revendications 12 à 14, caractérisé en ce que chaque dite PLL inclut un comparateur de phase et la sortie du comparateur de phase est intégrée avant d'être appliquée sur lesdits premier et second DCO.

16. Procédé selon la revendication 15, caractérisé en ce que des glissements de cycle sont comptés à l'aide d'un compteur/décompteur dans ledit comparateur de phase.

15 17. Procédé selon la revendication 16, caractérisé en ce que la sortie du compteur de glissement de cycle est décimée.

18. Procédé selon l'une quelconque des revendications 12 à 17, caractérisé en ce que lesdites PLL d'acquisition (10) sont sélectionnées par un contrôleur (13) qui commande également le décalage de phase desdits DCO (28).

20 19. Procédé selon la revendication 18, caractérisé en ce que ledit contrôleur (13) commande l'entrée de sélection d'un multiplexeur (11) afin de connecter la PLL d'acquisition active (10) à ladite PLL de sortie (12).

25 20. Boucle à verrouillage de phase numérique d'acquisition (10) pour restaurer un signal d'horloge stable à partir d'un signal d'entrée soumis à une gigue, caractérisée en ce qu'elle comprend :

un circuit d'entrée numérique qui reçoit ledit signal d'entrée ;

30 des premier et second oscillateurs commandés numériques pour générer des sorties à une fréquence souhaitée et un signal de commande représentant l'erreur temporelle dans chaque dit signal de sortie ;

une pluralité de lignes de retard à connexions intermédiaires, lesdites lignes de retard à connexions intermédiaires comprenant une pluralité de moyens de retard, la somme des retards de ladite pluralité de lignes de retard à connexions intermédiaires étant inférieure à un

35

cycle d'horloge desdits oscillateurs commandés numériques ; et

un comparateur de phase numérique pour recevoir ledit au moins un signal d'entrée en provenance dudit circuit d'entrée et ledit signal de sortie en provenance de ladite pluralité de lignes de retard à connexions intermédiaires constituant un moyen pour générer un
5 signal d'entrée numérique qui commande lesdits oscillateurs commandés numériques.

21. Boucle à verrouillage de phase numérique d'acquisition (10) selon la revendication 20, caractérisée en ce que lesdits
10 oscillateurs commandés numériques sont des multiplicateurs de fréquence du type addition dont l'un génère ledit signal de sortie lorsqu'il atteint une condition de débordement et un terme de reste qui génère ledit signal de commande, et dont un second desdits oscillateurs commandés numériques présente une phase établissable.

15 22. Boucle à verrouillage de phase numérique de sortie (12) pour générer des horloges de sortie stables, caractérisée en ce qu'elle comprend :

un comparateur de phase numérique qui soustrait l'horloge de sortie virtuelle en provenance de la PLL d'acquisition (10) de l'horloge
20 virtuelle de retour en provenance de la PLL de sortie (12) ;

un intégrateur qui comporte un accumulateur qui additionne la sortie du comparateur de phase sur lui-même ; et

des premier et second oscillateurs commandés numériques pour générer une sortie à une fréquence souhaitée et un signal de
25 commande représentant l'erreur temporelle dans ledit signal de sortie, le premier oscillateur commandé numérique appliquant des signaux de commande sur une pluralité de lignes de retard à connexions intermédiaires et le second oscillateur commandé numérique qui peut être établi appliquant des signaux de retour sur le comparateur de
30 phase.

23. Boucle à verrouillage de phase numérique de sortie (12) selon la revendication 22, caractérisée en ce qu'elle comprend en outre une pluralité de lignes de retard à connexions intermédiaires, lesdites lignes de retard à connexions intermédiaires comprenant une
35 pluralité de moyens de retard, la somme des retards de ladite pluralité

de lignes de retard à connexions intermédiaires étant inférieure à un cycle d'horloge dudit oscillateur commandé numérique.

1/5

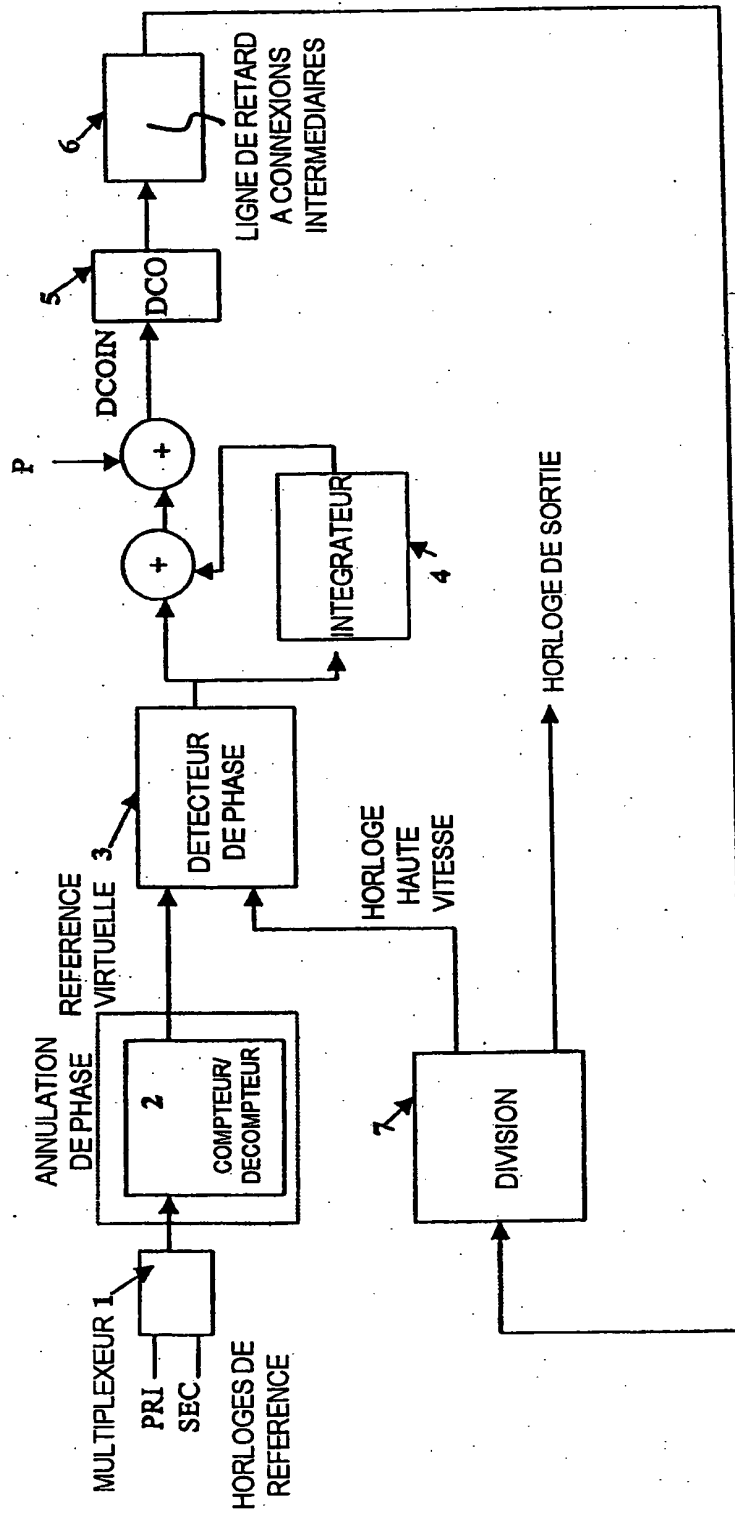


Figure 1
ART ANTERIEUR

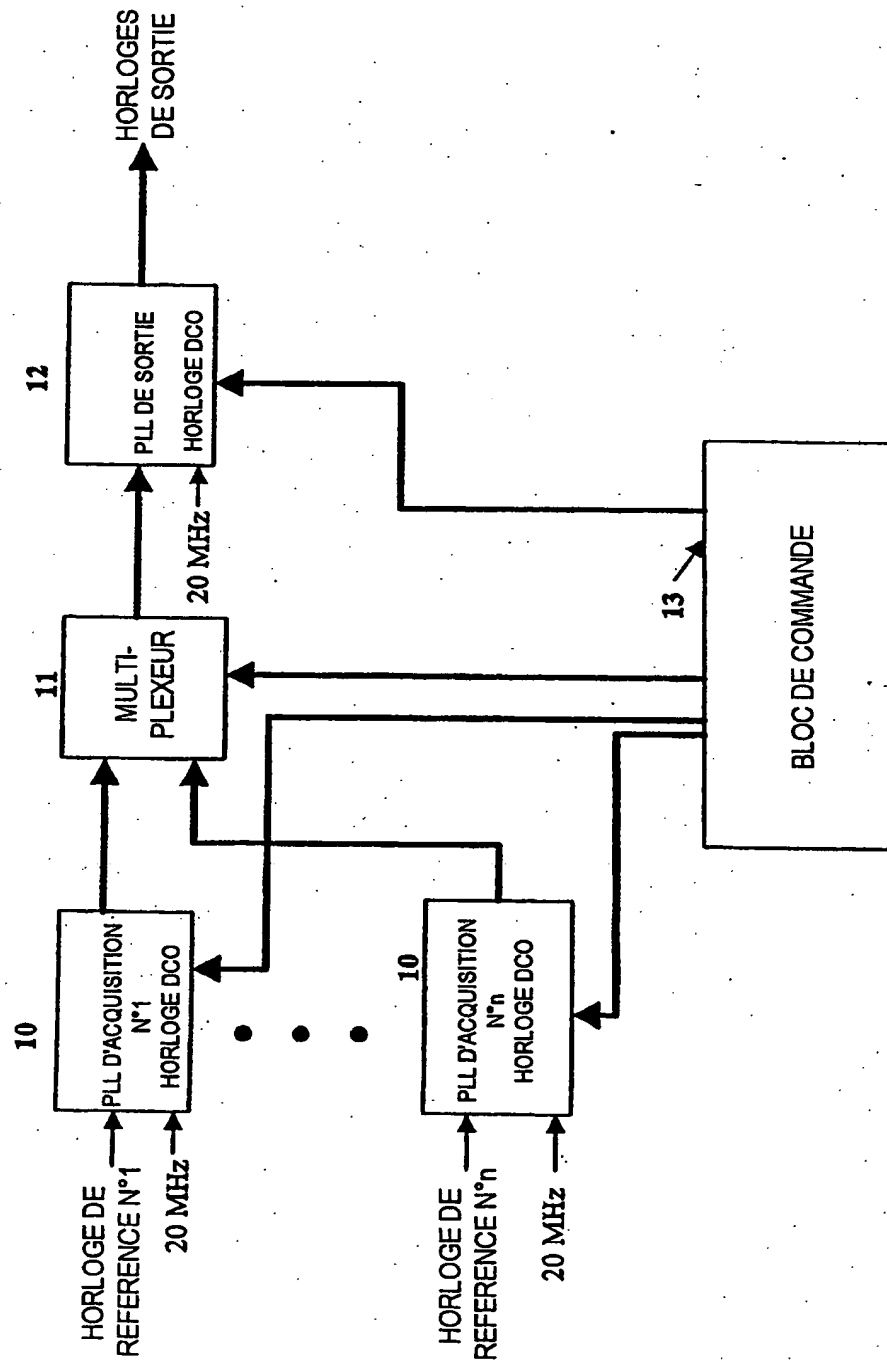


Figure 2

3/5

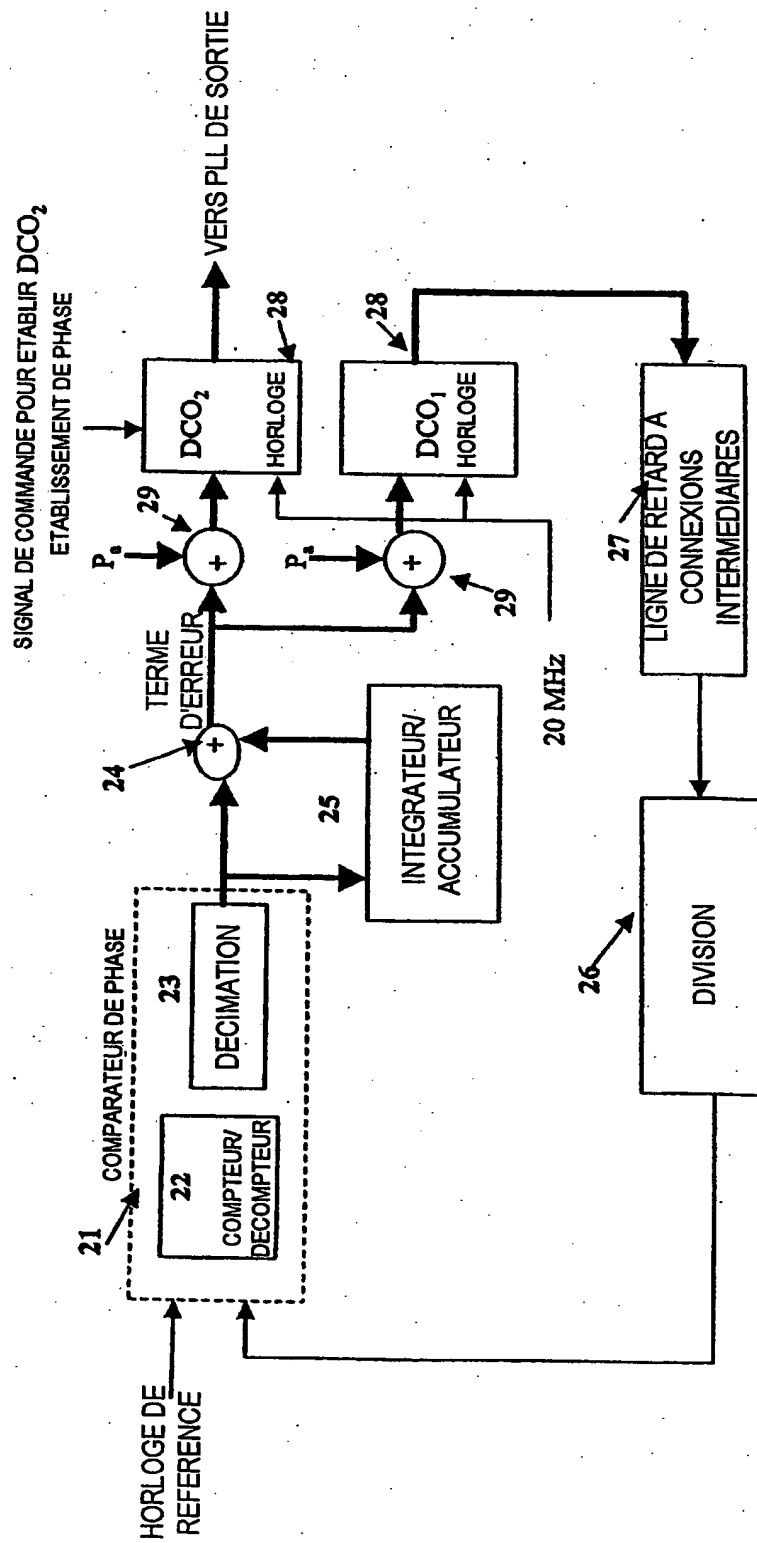


Figure 3

4/5

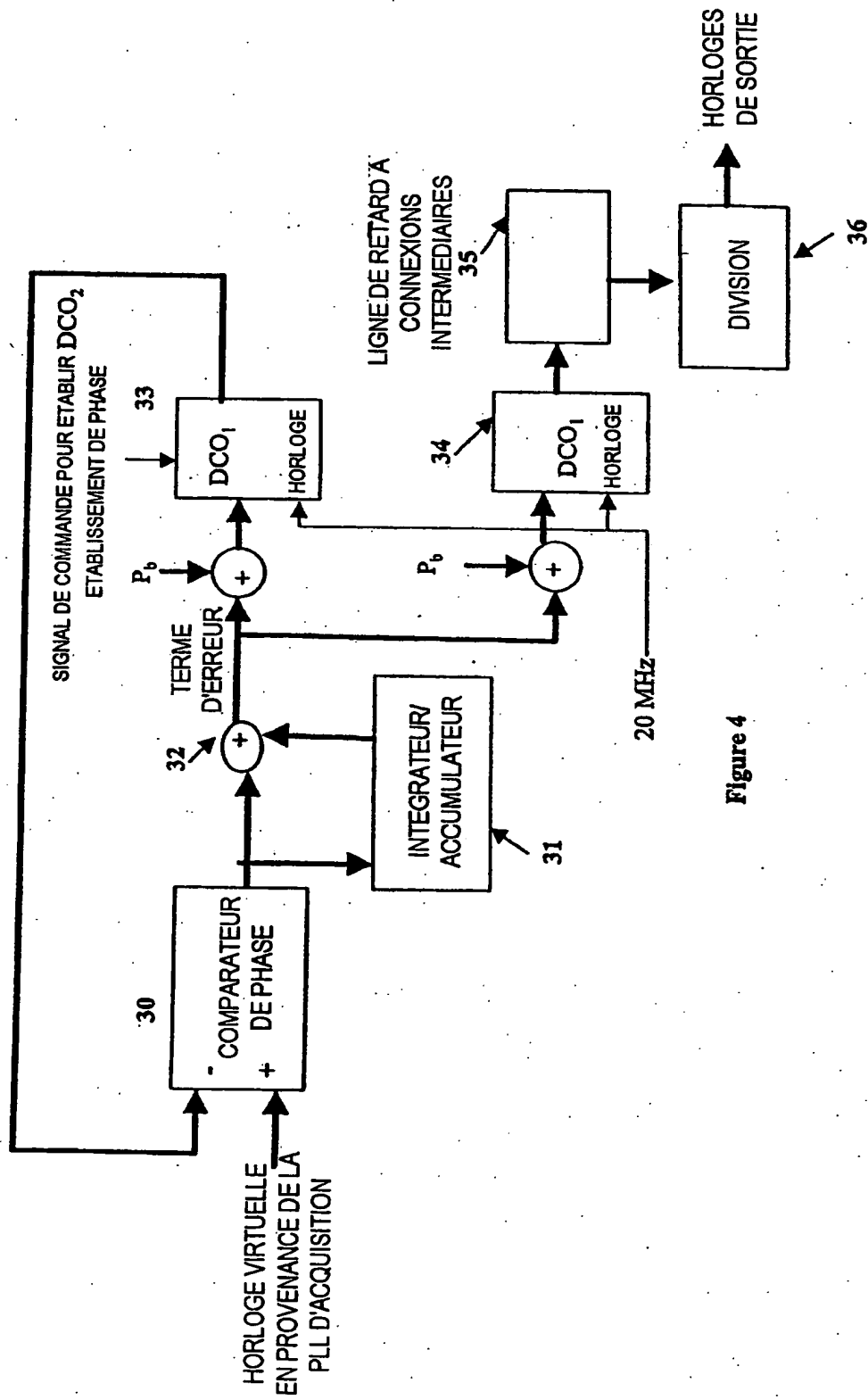


Figure 4

THIS PAGE BLANK (USPTO)

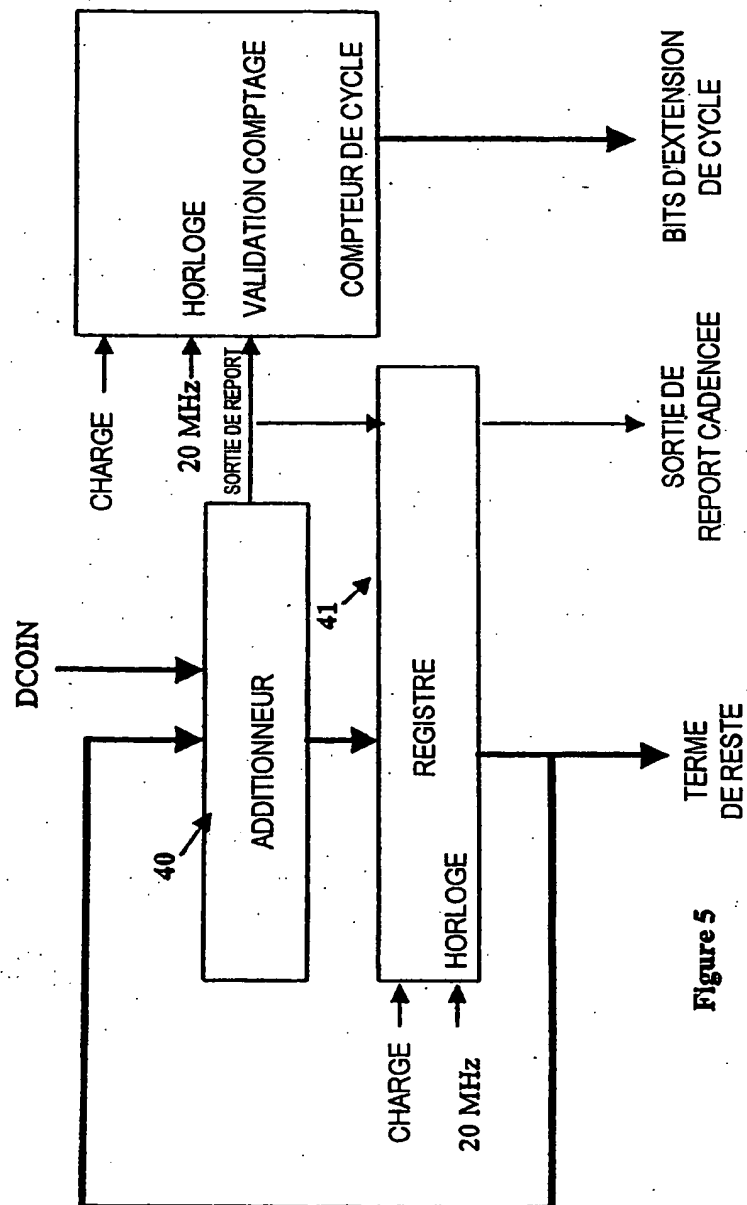


Figure 5

THIS PAGE BLANK (USPTO)